

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-111937

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

G02F 1/1343

G02F 1/136

(21)Application number : 10-285206

(71)Applicant : ADVANCED DISPLAY INC

(22)Date of filing : 07.10.1998

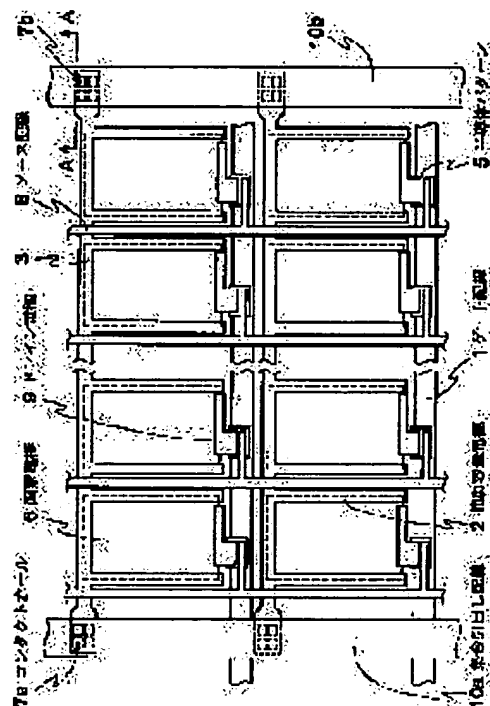
(72)Inventor : NAKAMURA NOBUHIRO
YABUSHITA KOJI
ITO OSAMU

(54) ELECTROOPTIC ELEMENT AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent corrosion and disconnection of auxiliary capacity wiring in the succeeding pixel etching process, in the production method of the electrooptic element using corrosive metal such as Al or Al-alloy as the auxiliary capacity wiring.

SOLUTION: When gate wirings 1, auxiliary capacity electrodes 2 and an auxiliary capacity wiring group 3 are formed on an insulating substrate using a first metal, each auxiliary capacity wiring is formed in the separated state each other. Then, first insulating films, semiconductor active films and ohmic films are formed, and the semiconductor active films and ohmic films are subjected to patterning and, further, electroconductive films are formed and subjected to patterning to form pixel electrodes. As the auxiliary capacity wirings are formed in the separated state, corrosion and disconnection of the auxiliary capacity wirings are prevented even when a film defect in the insulating films mentioned above occurs. Thereafter, contact holes 7a, 7b are formed at both ends of the auxiliary capacity wirings and then, source wirings, drain electrodes and assembled leader wirings 10a and 10b are formed using a second metal. Thereafter, the ohmic films of TFT(thin film transistor) channeling parts are removed and, after forming second insulating films, the insulating films of gate terminals and source terminal IC connecting parts are removed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-111937

(P2000-111937A)

(43) 公開日 平成12年4月21日 (2000. 4. 21)

(51) Int.Cl.⁷

G 0 2 F 1/1343

1/136

識別記号

5 0 0

F I

G 0 2 F 1/1343

1/136

テマコード^{*}(参考)

2 H 0 9 2

5 0 0

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21) 出願番号

特願平10-285206

(22) 出願日

平成10年10月7日 (1998. 10. 7)

(71) 出願人 595059056

株式会社アドバンスト・ディスプレイ
熊本県菊池郡西合志町御代志997番地

(72) 発明者 中村 伸宏

熊本県菊池郡西合志町御代志997番地 株
式会社アドバンスト・ディスプレイ内

(72) 発明者 薮下 宏二

熊本県菊池郡西合志町御代志997番地 株
式会社アドバンスト・ディスプレイ内

(74) 代理人 100065226

弁理士 朝日奈 宗太 (外1名)

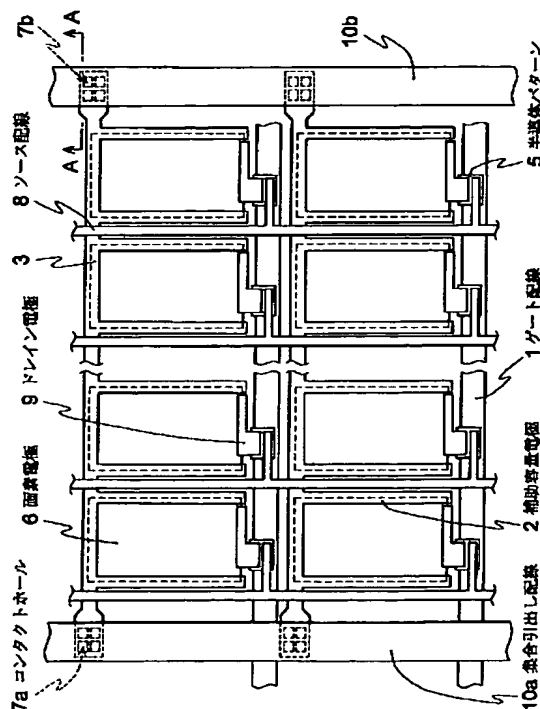
最終頁に続く

(54) 【発明の名称】 電気光学素子および該電気光学素子の製造方法

(57) 【要約】

【課題】 A l あるいは A l 合金など腐食しやすい金属を補助容量配線に用いた電気光学素子の製造方法において、後続画素エッチング工程における補助容量配線の腐食断線を防止する。

【解決手段】 絶縁基板上に第1の金属でゲート配線1、補助容量電極2、補助容量配線群3を形成する際、各補助容量配線は互いに分離した状態で形成する。ついで第1の絶縁膜、半導体能動膜、オーミック膜を成膜、半導体能動膜、オーミック膜をパターニングし、ついで導電膜を成膜、パターニングし、画素電極を形成する。このとき補助容量配線を分離して形成したことで、前記絶縁膜に膜欠損がある場合でも、補助容量配線の腐食断線を防止できる。その後、補助容量配線の両端にコンタクトホール7 a、7 b を形成し、ついで第2の金属でソース配線、ドレイン電極、集合引出し配線10 a および10 b を形成し、その後T F Tチャンネル部のオーミック膜を除去し、ついで第2の絶縁膜を成膜し、ついでゲート端子、ソース端子I C 接続部の絶縁膜を除去する。



【特許請求の範囲】

【請求項 1】 対向配置された一对の基板間に電気光学材料が挟持されており、一方の前記基板上に形成されたゲート配線と、前記ゲート配線と同一層で形成され、互いに分離することによって腐食防止処理の施された腐食性金属あるいは少なくともそれらのうちのいずれかを用いた多層金属膜で形成された補助容量配線群と、前記ゲート配線および前記補助容量配線群を覆って前記基板上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された薄膜トランジスタと、前記薄膜トランジスタと電氣的に接続された画素電極と、前記ゲート配線と交差し、少なくとも前記ゲート絶縁層を介して前記基板上に形成されたソース配線と、前記ゲート絶縁層に設けられたコンタクトホールによって前記補助容量配線群の配線全てを互いに電氣的に接続するため、前記ゲート絶縁層上に形成された集合引出し配線とを備えた電気光学素子。

【請求項 2】 対向配置された一对の基板間に電気光学材料が挟持されており、一方の基板上に形成されたゲート配線と、前記ゲート配線と同一層で形成され、互いに分離することによって腐食防止処理の施された腐食性金属あるいは少なくともそれらのうちのいずれかを用いた多層金属膜で形成された補助容量配線群および集合引出し配線と、前記ゲート配線、前記補助容量配線群および前記集合引出し配線を覆って前記基板上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された薄膜トランジスタと、前記薄膜トランジスタと電氣的に接続された画素電極と、前記ゲート配線と交差し、少なくとも前記ゲート絶縁層を介して前記基板上に形成されたソース配線と、前記ゲート絶縁層に設けられたコンタクトホールによって前記補助容量配線群の配線全てと前記集合引出し配線を互いに電氣的に接続するため、前記ゲート絶縁層上に形成された金属パターンとを備えた電気光学素子。

【請求項 3】 前記補助容量配線群が A1、A1 合金あるいは少なくともそれらのうちのいずれかを用いた多層金属で形成されていることを特徴とする請求項 1 記載の電気光学素子。

【請求項 4】 前記補助容量配線群および前記集合引出し配線が A1、A1 合金あるいは少なくともそれらのうちのいずれかを用いた多層金属で形成されていることを特徴とする請求項 2 記載の電気光学素子。

【請求項 5】 前記補助容量配線群と前記集合引出し配線パターン間に突起状に対峙したパターンを有する構造であることを特徴とする請求項 2 記載の電気光学素子。

【請求項 6】 対向配置された一对の基板間に電気光学材料が挟持されており、一方の前記基板上に形成されたゲート配線と、前記ゲート配線と同一層で形成され、互いに分離することによって腐食防止処理の施された腐食性金属あるいは少なくともそれらのうちのいずれかを用

いた多層金属膜で形成された補助容量配線群と、前記ゲート配線および前記補助容量配線群を覆って前記基板上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された薄膜トランジスタと、前記薄膜トランジスタと電氣的に接続された画素電極と、前記ゲート配線と交差し、少なくとも前記ゲート絶縁層を介して前記基板上に形成されたソース配線と、前記薄膜トランジスタを覆って形成された保護絶縁層と、前記ゲート絶縁層および前記保護絶縁層に設けられたコンタクトホールによって前記補助容量配線群の配線全てを互いに電氣的に接続するため、前記保護絶縁層上に形成された集合引出し配線を備え、かつ前記集合引出し配線が前記基板から対向基板に対向基板電位を給電するため、前記基板と対向基板に挟持された部分に形成されるトランスファー電極と同一材料で形成された電気光学素子。

【請求項 7】 基板上にゲート配線を配置すると共に、互いに分離することによって腐食防止処理された腐食性金属あるいは少なくともそれらのうちのいずれかを用いた多層金属膜の補助容量配線群を配置し、前記ゲート配線および前記補助容量配線群を覆うように前記基板上にゲート絶縁層を形成し、前記ゲート絶縁層上に透明導電層を形成し、前記透明導電層のウェットエッチングを実施後、前記絶縁層にコンタクトホールを設けると共に、前記ゲート配線と交差するよう、少なくとも前記ゲート絶縁層を介して前記基板上にソース配線を配置し、同時に前記コンタクトホールによって前記補助容量配線群の配線全てを互いに電氣的に接続する集合引出し配線を配置することを特徴とする電気光学素子の製造方法。

【請求項 8】 基板上にゲート配線を配置すると共に、互いに分離することによって腐食防止処理された腐食性金属あるいは少なくともそれらのうちのいずれかを用いた多層金属膜の補助容量配線群および集合引出し配線を配置し、前記ゲート配線、前記補助容量配線群および前記集合引出し配線を覆うように前記基板上にゲート配線層を形成し、前記ゲート絶縁層上に透明導電層を形成し、前記透明導電層のウェットエッチングを実施後、前記絶縁層にコンタクトホールを設けると共に、前記ゲート配線と交差するよう、少なくとも前記ゲート絶縁層を介して前記基板上にソース配線を配置し、同時に前記コンタクトホールによって前記補助容量配線群の配線全てと前記集合引出し配線とを互いに電氣的に接続する金属パターンを配置することを特徴とする電気光学素子の製造方法。

【請求項 9】 前記補助容量配線群が A1、A1 合金あるいは少なくともそれらのうちのいずれかを用いた多層金属で形成されていることを特徴とする請求項 7 記載の電気光学素子の製造方法。

【請求項 10】 前記補助容量配線群および集合引出し配線が A1、A1 合金あるいは少なくともそれらのうちのいずれかを用いた多層金属で形成されていることを特

徴とする請求項8記載の電気光学素子の製造方法。

【請求項11】 前記補助容量配線の一終端部に突起状のパターンを設け、かつ前記集合引出し配線の前記補助容量配線に設けた突起状パターンと対峙した箇所に突起状パターンを配置することを特徴とする請求項8記載の電気光学素子の製造方法。

【請求項12】 基板上にゲート配線を配置すると共に、互いに分離することによって腐食防止処理された腐食性金属あるいは少なくともそれらのうちのいずれかを用いた多層金属膜の補助容量配線群を配置し、前記ゲート配線および前記補助容量配線群を覆うように前記基板上にゲート絶縁層を形成し、前記ゲート絶縁層上に透明導電層を形成し、前記透明導電層のウェットエッチングを実施後、前記絶縁層にコンタクトホールを設けると共に、前記ゲート配線と交差するよう、少なくとも前記ゲート絶縁層を介して前記基板上にソース配線を配置し、前記ソース配線を覆うように保護絶縁層を形成し、前記ゲート絶縁層および保護絶縁膜にコンタクトホール形成し、前記基板から対向基板に対向基板電位を給電するため前記基板上の形成するトランスファー電極と同一材料で前記集合引出し配線全てと前記コンタクトホールを介して電氣的に接続する集合引出し配線を形成することを特徴とする電気光学素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は薄膜トランジスタ(TFT)をスイッチング素子に用いたアクティブマトリクス型液晶表示装置(TFT-LCD)の製造方法に関する。さらに詳しくは、補助容量配線群あるいは集合引出し配線に腐食性の高い金属材料を適用した場合において、後続透明導電層エッチング工程での補助容量配線群の腐食を防止するためのものである。

【0002】

【従来の技術および発明が解決しようとする課題】 液晶を用いた電気光学素子はディスプレイへの応用が盛んになされている。液晶を用いた電気光学素子は一般に、上下に電極を備えた2枚の基板の間に液晶を挟持した構成のものに、さらに上下に偏光板を設置した構成を取り、透過型のものでは背面にバックライトが設置される。上下の電極基板の表面はいわゆる配向処理がなされ、液晶分子の平均的な向きであるダイレクターが所望の初期状態に制御される。液晶には複屈折性があり、バックライトより偏光板を通して入射された光は複屈折により楕円偏光に変化し、反対側の偏光板に入射される。この状態で、上下の電極間に電圧を印加するとダイレクターの配列状態が変化することで、液晶層の複屈折率が変化し、反対側の偏光板に入射される楕円偏光状態が変化し、したがって電気光学素子を透過する光強度およびスペクトルが変化する。この電気光学効果は、用いる液晶相の種類、初期配向状態、偏光板の偏光軸の向き、液晶層の厚

さ、あるいは光が透過する途中に設置されるカラーフィルターや各種干渉フィルムによって異なるが、公知の文献などによって詳細に報告されている。一般にはネマチック液晶層を用いてTN、STNと呼ばれる構成のものが用いられる。

【0003】 液晶を用いたディスプレイ用電気光学素子には、単純マトリクス型のものと、TFTをスイッチング素子として用いるTFT-LCDがある。携帯性、表示品位の点でCRTや単純マトリクス型液晶表示装置より優れた特徴を持つTFT-LCDがノート型パソコンなどに広く実用化されている。TFT-LCDでは、一般にTFTをアレイ状に形成したTFTアレイ基板と共通電極が形成されたカラーフィルター付きの対向基板との間に液晶を挟持した構成の上下に偏光板が設置され、さらに背後にバックライトを設置した構成を取る。このような構成によって良好なカラー表示が得られる特徴を持つ。

【0004】 TFT-LCDでは液晶に電圧を印加するため、ゲートラインの選択時間内にTFTをオン状態とし、ソース配線から画素電極に電荷を流入し、画素電位をソース配線と同電位とする。その後ゲートが非選択状態になると、TFTはオフ状態になり画素の電荷は保持されるが実際にはTFTや液晶内のリーク電流により、画素の電荷量は減少し、結果的には画素の電位が減少する。これらの画素電位の変動を防ぐため、通常は補助容量を設けて単位電荷量の変化に対する画素電位の変化量が小さくなるようにする。補助容量は、大別すると、前段ゲートと画素電極で形成する場合(付加容量型)と、専用の配線と画素電極で形成する場合(補助容量配線型)がある。付加容量型では補助容量配線型のような専用配線が不要なので開口率が大きく取れる反面、ゲート配線が補助容量配線を兼ねるため電流負荷が大きくなる。このため大型パネルでは、配線抵抗および補助容量の総和が大きくなることから、ゲート配線負荷低減のため、補助容量配線を用いる場合が一般的である。補助容量配線を使用したTFTアレイ基板の概念図を第10図に示す。ここに1はゲート配線、8はソース配線、3は補助容量配線、10aおよび10bは補助容量配線に電圧を印加するための集合引出し配線である。一方配線抵抗を低減するために、低抵抗配線材料を適用する試みがなされている。逆スタガー型TFTのゲート配線および補助容量配線にAl、あるいはAlSiCu、AlCuなどのAl合金を適用する場合、配線パターン上に絶縁膜を成膜した際、ヒロックを生じたり、後続工程で、画素パターンエッチング時に使用する強酸によって腐食されるなどの問題が発生する。これらの問題を回避するため従来技術では、Alあるいは上記Al合金配線をCrあるいはMoなどの高融点金属パターンで覆いヒロックを防止したり、AlあるいはAl合金を陽極酸化してヒロックおよび強酸による腐食を防止する試みがなされて

いる。この場合には写真製版工程数や陽極酸化工程が増えるため生産性が低下する。一方でヒロックを防止するためにAlZrやAlTaなどのAl合金を用いる試みがなされているが、これらの場合には比抵抗が増加してしまい、Crなどの高融点金属と同程度の抵抗になってしまう。また最近になって特許番号第2733006号公報に示されるようにAlNdでは上記AlZrのように比抵抗の増加を伴わずにヒロックを防止できる配線材料が開発されている。以下に図8および図9に示される、ゲート配線および補助容量配線にAlNdを用いた従来の方法で作成したTFTEレイ基板の製造方法を示す。

【0005】ガラス基板上にAlNdをスパッタで200nm成膜した後、燐酸・酢酸・硝酸の混合液でウェットエッチングし、ゲート配線1、補助容量電極2、補助容量配線3を形成する。このとき補助容量配線はゲート反端子側の集合引出し配線3aに接続されている。ついでゲート絶縁膜4としてSiNを400nm、半導体層a-Si150nm、Pドープしたa-Si不純物層30nmをプラズマCVDで連続成膜した後、前記不純物層および半導体層をパターンニングしてゲート配線上に半導体パターン5を形成する。その後、画素電極膜100nmを成膜し、塩酸・硝酸などの混酸でパターンニングし、画素電極6を形成する。ついでゲート端子側補助容量配線端のゲート絶縁膜にコンタクトホール7aを形成する。その後ソース配線8、ドレイン電極9用にCr400nmを連続成膜した後、パターンニングする。その後、チャネル部の前記不純物層をドライエッチで除去する。最後にSiN400nmを保護膜11として成膜し、端子部のSiNを除去する。

【0006】ゲート絶縁膜4に膜欠損がある場合には、画素電極エッチング時、強酸により、腐食断線する。最近、成膜装置の改良などにより、ゴミが減り、結果的にゲート絶縁膜の大きな膜欠損はほとんど発生しない状態にあるが、一方で微少なゲート絶縁膜欠損やゲート配線段差をゲート絶縁膜で被覆する場合、ゲート段差部でのゲート絶縁膜のカバレッジが悪い箇所であると、それらが原因となって、配線が腐食する場合がある。このように低抵抗でヒロックの発生がないような配線材料が開発されており、それを共通補助容量配線に用いる場合に、

上記に示したような腐食による配線断線が問題になってきている。

【0007】とくに共通補助容量配線の断線に関しては、補助容量配線信号が配線両端から入力されているため、電氣的に断線が検出されずにパネル点灯時に該当ゲートラインの画素が輝線欠陥になるため、極力断線を少なくする必要がある。補助容量配線および集合引出し配線パターンについては特開平3-72321号公報に、補助容量配線の信号遅延を改善するため、図10に示すように、補助容量配線はパネル両端に設けられた集合引

出し配線から給電される例が開示されているが、補助容量配線はパネル両端に設けられた集合引出し配線から給電される例が開示されているが、補助容量配線にAlなどの腐食しやすい金属を用いた際に問題となる透明導電層ウェットエッチング時の補助容量配線腐食に関しては言及されていない。また、特開平7-36061号公報には、透明導電層のパターンニングを含めた補助容量配線および集合引出し配線のパターン例が開示されているが、補助容量配線にAlなどの腐食しやすい金属を用いた際に問題となる透明導電膜ウェットエッチング時の補助容量配線腐食に関しては言及されていない。

【0008】本発明は、上記に示したように、補助容量配線にAlなどの腐食しやすい金属を用いた際、透明導電層ウェットエッチング時に発生する補助容量配線の腐食断線を防止することは目的とするものである。

【0009】

【課題を解決するための手段】該課題を解決するための請求項1に記載されている本発明に係る電気光学素子は、対向配置された一对の基板間に電気光学材料が挟持されており、一方の前記基板上に形成されたゲート配線と、前記ゲート配線と同一層で形成され、互いに分離することによって腐食防止処理の施された腐食性金属あるいは少なくともそれらのうちのいずれかを用いた多層金属膜で形成された補助容量配線群と、前記ゲート配線および前記補助容量配線群を覆って前記基板上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された薄膜トランジスタと、前記薄膜トランジスタと電氣的に接続された画素電極と、前記ゲート配線と交差し、少なくとも前記ゲート絶縁層を介して前記基板上に形成されたソース配線と、前記ゲート絶縁層に設けられたコンタクトホールによって前記補助容量配線群の配線全てを互いに電氣的に接続するため、前記ゲート絶縁層上に形成された集合引出し配線とを備えた電気光学素子である。ここで本明細書中に使用される「分離する」とは、複数本の補助容量配線群の配線全てを電氣的にも機械的にも分離させることをいい、好ましくは、個々の配線を3μm以上の間隔を保って配置させることをいう。本明細書中に使用される「腐食防止処理」とは、以下のとおりである。各配線が互いに分離されていない場合では、透明導電層ウェットエッチング時、配線全体の容量が大きいことによって、配線電位が変動しにくくなるので、その結果、ゲート絶縁膜の微小欠損部にしみこんだエッチング液と配線金属との電位差が大きくなり、配線金属表面酸化膜および配線金属自身が腐食するが、配線を分離することで、配線金属の容量が小さくなるので、その結果ゲート絶縁膜の微小欠損部にしみこんだエッチング液と配線金属との電位差を小さく抑えることが可能となり、たとえゲート絶縁膜に直径5μm以下の膜欠損がある場合でも、配線に腐食が発生しない状況をいう。

【0010】該課題を解決するための請求項2項に記載

されている本発明に係る電気光学素子は、対向配置された一対の基板間に電気光学材料が挟持されており、一方の基板上に形成されたゲート配線と、前記ゲート配線と同一層で形成され、互いに分離することによって腐食防止処理の施された腐食性金属あるいは少なくともそれらのうちのいずれかをを用いた多層金属膜で形成された補助容量配線群および集合引出し配線と、前記ゲート配線、前記補助容量配線群および前記集合引出し配線を覆って前記基板上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された薄膜トランジスタと、前記薄膜トランジスタと電気的に接続された画素電極と、前記ゲート配線と交差し、少なくとも前記ゲート絶縁層を介して前記基板上に形成されたソース配線と、前記ゲート絶縁層に設けられたコンタクトホールによって前記補助容量配線群の配線全てと前記集合引出し配線を互いに電気的に接続するため、前記ゲート絶縁層上に形成された金属パターンとを備えた電気光学素子である。

【0011】該課題を解決するための請求項3項に記載されている本発明に係る電気光学素子は請求項1において前記補助容量配線群がA1、A1合金あるいは少なくともそれらのうちのいずれかをを用いた多層金属で形成されていることを特徴とする電気光学素子である。

【0012】該課題を解決するための請求項4項に記載されている本発明に係る電気光学素子は請求項2において前記補助容量配線群および前記集合引出し配線がA1、A1合金あるいは少なくともそれらのうちのいずれかをを用いた多層金属で形成されていることを特徴とする電気光学素子である。

【0013】該課題を解決するための請求項5項に記載されている本発明に係る電気光学素子は請求項2において前記補助容量配線群と前記集合引出し配線パターン間に突起状に対峙したパターンを有する構造であることを特徴とする電気光学素子である。

【0014】該課題を解決するための請求項6項に記載されている本発明に係る電気光学素子は対向配置された一対の基板間に電気光学材料が挟持されており、一方の前記基板上に形成されたゲート配線と、前記ゲート配線と同一層で形成され、互いに分離することによって腐食防止処理の施された腐食性金属あるいは少なくともそれらのうちのいずれかをを用いた多層金属膜で形成された補助容量配線群と、前記ゲート配線および前記補助容量配線を覆って前記基板状に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された薄膜トランジスタを覆って形成された保護絶縁層と、前記ゲート絶縁層および前記保護絶縁層に設けられたコンタクトホールによって前記補助容量配線全てを互いに電気的に接続するため、前記保護絶縁層上に形成された集合引き出し配線を備え、かつ前記集合引き出し配線が前記基板から対向基板に対向基板電位を給電するため、前記基板と対向基板に挟持された部分に形成されるトランスファ電極と同一材料

で形成された電気光学素子である。

【0015】該課題を解決するための請求項7項に記載されている本発明に係る電気光学素子の製造方法は基板上にゲート配線を配置するとともに、互いに分離することによって腐食防止処理された腐食性金属あるいは少なくともそれらのうちのいずれかをを用いた多層金属膜の補助容量配線群を配置し、前記ゲート配線および前記補助容量配線群を覆うように前記基板上にゲート絶縁層を形成し、前記ゲート絶縁相乗に透明導電層を形成し、前記透明導電層のウェットエッチングを実施後、前記絶縁層にコンタクトホールを設けるとともに、前記ゲート配線と交差するよう、少なくとも前記ゲート絶縁層にコンタクトホールを設けるとともに、前記ゲート配線と交差するよう、少なくとも前記ゲート絶縁層を介して前記基板上にソース配線を配置し、同時に前記コンタクトホールによって前記補助容量配線群の配線全てを互いに電気的に接続する集合引き出し配線を配置することを特徴とする電気光学素子の製造方法である。

【0016】該課題を解決するための請求項8項に記載されている本発明に係る電気光学素子の製造方法は基板上にゲート配線を配置するとともに、互いに分離することによって腐食防止処理された腐食性金属あるいは少なくともそれらのうちのいずれかをを用いた多層金属膜の前記補助容量配線群および集合引き出し配線を配置し、前記ゲート配線、前記補助容量配線群および前記集合引き出し配線を覆うように前記基板上にゲート絶縁層を形成し、前記ゲート絶縁層上に透明導電層を形成し、前記透明導電層のウェットエッチングを実施後、前記絶縁層にコンタクトホールを設けると共に、前記ゲート配線と交差するよう、少なくとも前記ゲート絶縁層を介して前記基板上にソース配線を配置し、同時に前記コンタクトホールによって前記補助容量配線群の配線全てと前記集合引き出し配線とを互いに電気的に接続する金属パターンを配置することを特徴とする電気光学素子の製造方法である。

【0017】該課題を解決するための請求項9項に記載されている本発明に係る電気光学素子の製造方法は請求項7において前記補助容量配線群がA1、A1合金あるいは少なくともそれらのうちのいずれかをを用いた多層金属で形成されていることを特徴とする電気光学素子の製造方法である。

【0018】該課題を解決するための請求項10項に記載されている本発明に係る電気光学素子の製造方法は請求項8において前記補助容量配線群および集合引き出し配線がA1、A1合金あるいは少なくともそれらのうちのいずれかをを用いた多層金属で形成されていることを特徴とする電気光学素子の製造方法である。

【0019】該課題を解決するための請求項11項に記載されている本発明に係る電気光学素子の製造方法は請求項8において前記補助容量配線群の一終端部に突起状

10

20

30

40

50

のパターンを設け、かつ前記集合引き出し配線の前記補助容量配線群に設けた突起状パターンと対峙した箇所に突起状パターンを配置することを特徴とする請求項8記載の電気光学素子の製造方法。

【0020】該課題を解決するための請求項12項に記載されている本発明に係る電気光学素子の製造方法は基板上にゲート配線を配置すると共に、互いに分離することによって腐食防止処理された腐食性金属あるいは少なくともそれらのうちのいずれかをを用いた多層金属膜の前記補助容量配線群を配置し、前記ゲート配線および前記補助容量配線群を覆うように前記基板上にゲート絶縁層を形成し、前記ゲート絶縁層上に透明導電層を形成し、前記透明導電層のウェットエッチングを実施後、前記絶縁層にコンタクトホールを設けると共に、前記ゲート配線と交差するよう、少なくとも前記ゲート絶縁層を介して前記基板上にソース配線を配置し、前記ソース配線を覆うように保護絶縁層を形成し、前記ゲート絶縁層および保護絶縁膜にコンタクトホールを形成し、前記基板から対向基板に対向基板電位を給電するため前記基板上の形成するトランスファー電極と同一材料で前記集合引出し配線全てと前記コンタクトホールを介して電気的に接続する集合引出し配線を形成することを特徴とする電気光学素子の製造方法である。

【0021】

【発明の実施の形態】実施の形態1

実施の形態1の集合引出し配線、補助容量配線群および画素領域の平面図を図1に、図1中A-Aにおける断面図を図2に示す。以下に請求項第1項の実施の形態の製造方法について詳細に述べる。まず、絶縁性基板として0.7mm厚の硝子基板を洗浄して表面を清浄化する。絶縁性基板には電気光学素子を透過型で構成する場合には、硝子基板などの透明な絶縁性基板を用いる。また、電気光学素子を反射型で構成する場合には、硝子基板程度の絶縁性を有する絶縁性基板を用いることができる。また、絶縁性基板の厚さは任意で良いが、電気光学素子の厚みを薄くするために、0.7mm厚または1.1mm厚程度のものが好ましい。絶縁性基板が薄すぎた場合には各種の成膜やプロセスの熱履歴によって基板の歪みが生じるためにパターンニング精度が悪くなるなどの不具合を生じるので、絶縁性基板の厚さは使用するプロセスを考慮して選択する必要がある。また、絶縁性基板が硝子などの脆性破壊材料からなる場合、基板の端面は面取りを実施しておくことが、端面からのチップングによる異物の混入を防止する上で好ましい。また、絶縁性基板の一部に切り欠きを設けて基板の向きが特定できるようにすることが、各プロセスでの基板処理の方向が特定できることでプロセス管理がし易くなることより好ましい。

【0022】次に、スパッタなどの方法で第1の金属薄膜を成膜する。第1の金属薄膜としては、たとえばMo

あるいはAlZr、AlNdなどのAl合金で100nmから300nm程度の膜厚の薄膜を用いることができる。たとえばAlNdの場合Ndの濃度は配線抵抗を低くし、かつヒロック発生を防止するため1~3重量%程度が望ましい。また、第1の金属薄膜として、Cr/AlあるいはCr/AlSiCuなどの異種金属薄膜を積層した金属薄膜や膜厚方向に組成の異なる金属薄膜を用いることもできる。

【0023】次に、第1の写真製版・パターン工程で第1の金属薄膜をゲート電極および配線1、補助容量電極2および補助容量配線群3をパターンニングする。このとき各補助容量配線群は互いに分離された状態で形成する。写真製版工程はTFTEレイ基板を洗浄後、感光性レジストを塗布・乾燥した後に、所定のパターンが形成されたマスクパターンを通して露光し、現像することで写真製版的にTFTEレイ基板上にマスクパターンを転写したレジストを形成し、感光性レジストを加熱硬化させた後にエッチングを行ない、感光性レジストを剥離することで行なわれる。第1の金属膜のエッチングは、たとえばMo、AlNd、AlZrの場合であれば、燐酸、酢酸、硝酸の水溶液によるウェットエッチで行なう、またMoの場合はCF₄と酸素ガスを用いたドライエッチで、AlNd、AlZrの場合は塩素ガスと酸素ガスを用いたドライエッチも適用可能である。

【0024】次に、プラズマCVDにより第1の絶縁膜4、半導体能動膜、オーミックコンタクト膜を連続で成膜する。ゲート絶縁膜となる第1の絶縁膜4としてはSiNx膜、SiOx膜、SiOxNy膜やこれらの積層膜が用いられる。第1の絶縁膜の膜厚は300nmから600nm程度とする。膜厚が薄い場合にはゲート配線とソース配線の交差部で短絡を生じ易く、第1の金属薄膜の厚み程度以上とすることが好ましい。膜厚が厚い場合にはTFTEのON電流が小さくなり、表示特性が悪化することからなるべく薄くすることが好ましい。半導体能動膜はアモルファスシリコン(a-Si)膜、ポリシリコン(p-Si)膜が用いられる。半導体能動膜の膜厚は100nmから300nm程度とする。膜厚が薄い場合には後述するオーミックコンタクト膜のドライエッチ時の深さの制御性と必要とするTFTEのON電流より膜厚を選択する。半導体能動膜としてa-Si膜を用いる場合にはゲート絶縁膜のa-Si膜との界面はSiNx膜またはSiOxNy膜とすることがTFTEのV_{th}の制御性および信頼性上好ましい。半導体能動膜としてp-Si膜を用いる場合にはゲート絶縁膜のp-Si膜との界面はSiOx膜またはSiOxNy膜とすることがTFTEのV_{th}の制御性および信頼性上好ましい。また、半導体能動膜としてa-Si膜を用いる場合にはゲート絶縁膜との界面付近を成膜レートの小い条件で成膜し、上層部を成膜レートの大きい条件で成膜することが短い成膜時間で移動度の大きいTFTE特性が得られる

ことと、TFTのオフ時のリーク電流を小さくできることより好ましい。オーミックコンタクト膜としては、 $a-Si$ や $p-Si$ に燐を微量にドーピングした n^+a-Si 膜、 n^+p-Si 膜が用いられる。オーミックコンタクト膜の膜厚は20nmから70nm程度とすることができる。これらの $SiNx$ 膜、 $SiOx$ 膜、 $SiOxNy$ 膜、 $a-Si$ 膜、 $p-Si$ 膜、 n^+a-Si 膜、 n^+p-Si 膜は公知のガスを用いて成膜することが可能である。

【0025】次に、第2の写真製版・エッチング工程で半導体能動膜およびオーミックコンタクト膜をパターンニングしTFT部の半導体パターン5を形成する。半導体能動膜およびオーミックコンタクト膜のエッチングは、たとえば SiF_4 と酸素ガスでドライエッチングにより行なう。次に、スパッタなどの方法で導電性薄膜を成膜する。導電性薄膜としては、電気光学素子を透過型で構成する場合には透明導電膜であるITO、 SnO_2 などを用いることができ、とくに化学的安定性よりITOが好ましい。導電性薄膜の膜厚は50nmから200nm程度とする。次に第3の写真製版・エッチング工程で透明導電膜をパターンニングし、画素電極6を形成する。透明導電膜のエッチングは塩酸と硝酸の混酸などを通常用いるが、塩化第2鉄水溶液などを用いることも可能である。次に第4の写真製版・エッチング工程でゲート絶縁膜4をエッチングして、補助容量配線群のゲート端子側集合引出し配線接続部7a、反ゲート端子側集合引出し配線接続部7b、ゲート配線端子接続部、ソース配線端子接続部にコンタクトホールを形成する。コンタクトホール形成には CF_4 と酸素の混合ガスあるいは SiF_4 と酸素の混合ガスを用いたドライエッチングで形成される。次にCrを400nm成膜し、第5の写真製版・エッチング工程でソース配線8、ドレイン電極9、ゲート端子側集合引出し配線10aおよび反ゲート端子側集合引出し配線10bをパターンニングする。エッチングには過塩素酸と第二硝酸セリウムアンモンの混酸を用いる。これらをパターンニングした後にTFTチャネル部にある n^+a-Si 膜あるいは n^+p-Si 膜を除去する。ついでパッシベーション膜11を成膜し、第6の写真製版・エッチング工程で、ゲート端子、ソース端子の駆動IC接続部を CF_4 と酸素ガスを用いたドライエッチで露出させる。以上の工程において従来技術のように、補助容量配線群が集合配線に接続されている場合、画素電極エッチング時、ゲート絶縁膜に局所的に欠損があるとそこから上記エッチング液が補助容量配線群を腐食し、補助容量配線群の断線が発生させる。請求項第1項に示したように補助容量配線群と集合配線を互いに分離して形成しておけば、ゲート絶縁膜に微小欠損があっても腐食を防止できる。

【0026】またとくに補助容量配線群はAl、Al合金あるいは少なくともそれらを用いた多層金属で形成さ

れている場合には、画素電極のエッチング時とくに腐食され易いため、本製造方法はとくに有効である。

【0027】実施の形態2

実施の形態2の集合引出し配線、補助容量配線群および画素領域の平面図を図3に、図3中B-Bにおける断面図を図4に示す。以下に請求項第2項の実施の形態の製造方法について詳細に述べる。なお、各成膜、写真製版、エッチングで実施の形態1と重複するものは省略して記す。スパッタなどの方法で第1の金属薄膜を成膜する。第1の金属薄膜としては、たとえばMoあるいはAlZr、AlNdなどのAl合金で100nmから300nm程度の膜厚の薄膜を用いることができる。たとえばAlNdの場合Ndの濃度は配線抵抗を低くし、かつヒロック発生を防止するため1~3重量%程度が望ましい。また、第1の金属薄膜として、Cr/AlあるいはCr/AlSiCuなどの異種金属薄膜を積層した金属薄膜や膜厚方向に組成の異なる金属薄膜を用いることもできる。第1の写真製版・エッチング工程で第1の金属薄膜をゲート電極および配線1、補助容量電極2および補助容量配線群3、およびゲート配線反端子側集合引出し配線10bをパターンニングする。このとき各補助容量配線群3およびゲート反端子側集合引出し配線10bはそれぞれ互いに分離されている。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。次に、プラズマCVDにより第1の絶縁膜4、半導体能動膜、オーミックコンタクト膜を連続で成膜し、第2の写真製版・エッチング工程で半導体能動膜およびオーミックコンタクト膜を表示画素にパターンニングしTFT部の半導体パターン5を形成する。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。

【0028】次に、スパッタなどの方法で導電性薄膜を成膜し、第3の写真製版・エッチング工程で透明導電膜をパターンニングし、画素電極6を形成する。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。次に第4の写真製版・エッチング工程でゲート絶縁膜4をエッチングして、補助容量配線群のゲート端子側集合引出し配線接続部7a、補助容量配線群の反ゲート端子側端部7b、反ゲート端子側集合引出し配線上7c、ゲート配線端子接続部、ソース配線端子接続部上にコンタクトホールを形成する。このときの写真製版・エッチングプロセスは実施の形態1と同様である。次にCrを400nm成膜し、第5の写真製版・エッチング工程でソース配線8、ドレイン電極9、ゲート端子側集合引出し配線10aおよび、ゲート反端子側の集合引出し配線10bと補助容量配線群3を接続するパターン10cをパターンニングする。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。ついでパッシベーション膜11を成膜し、第6の写真製版・エッチング工程で、ゲート端子、ソース端子の駆動

IC接続部を露出させる。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。以上の工程において従来技術のように、補助容量配線群が集合配線に接続されている場合、画素電極エッチング時、ゲート絶縁膜に局所的に欠損があるとそこから上記エッチング液が補助容量配線群を腐食し、補助容量配線群の断線を発生させる。請求項第2項に示したように補助容量配線群と集合配線を互いに分離して形成しておけば、ゲート絶縁膜に微小欠損があっても腐食を防止できる。また実施の形態2において補助容量配線群形成時に反ゲート端子側に集合引出し配線を同時に形成するため、上記電気光学素子製造時に発生する静電気に対して、集合引出し配線10bが静電シールドの役目をするため、製造工程中の静電破壊による素子破壊を防止することができる。

【0029】実施の形態3

実施の形態3の集合引出し配線、補助容量配線および画素領域の平面図を図5に示す。本実施の形態3の製造方法を以下に詳細に述べる。

【0030】ガラス基板上にスパッタなどの方法で第1の金属薄膜を成膜する。第1の金属薄膜としては、たとえばMoあるいはAlZr、AlNdなどのAl合金で100nmから500nm程度の膜厚の薄膜を用いることができる。たとえばAlNdの場合Ndの濃度は配線抵抗を低くし、かつヒロック発生を防止するため1~3重量%程度が望ましい。また、第1の金属薄膜として、Cr/AlあるいはCr/AlSiCuなどの異種金属薄膜を積層した金属薄膜や膜厚方向に組成の異なる金属薄膜を用いることもできる。

【0031】次に、第1の写真製版・エッチング工程で第1の金属薄膜をゲート電極および配線1、補助容量電極2および補助容量配線群3、反ゲート端子側集合引出し配線10bおよび、補助容量配線群3と反ゲート端子側集合引出し配線10bの対峙した部分に突起状パターン14をパターンニングする。このとき各補助容量配線群および反ゲート端子側集合引出し配線10bはそれぞれ互いに分離されており、突起状パターン14は写真製版でパターン分離可能な寸法でなるべく互いに近接するように配置する。量産上、その間隔は3μm~4μmが望ましい。次に、プラズマCVDにより第1の絶縁膜4、半導体能動膜、オーミックコンタクト膜を連続して成膜し、第2の写真製版・エッチング工程で半導体能動膜およびオーミックコンタクト膜を表示画素にパターンニングしTFET部の半導体パターン5を形成する。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。次に、スパッタなどの方法で導電性薄膜を成膜し、第3の写真製版・エッチング工程で透明導電膜をパターンニングし、画素電極6を形成する。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。次に第4の写真製版・エッチング工程でゲ

ート絶縁膜4をエッチングして、補助容量配線群のゲート端子側集合引出し配線接続部7a、補助容量配線群反ゲート端子側端部7b、反ゲート端子側集合引出し配線上7c、ゲート配線端子接続部ソース配線端子接続部上にコンタクトホールを形成する。このときの写真製版・エッチングプロセスは実施の形態1と同様である。次にCrを400nm成膜し、第5の写真製版・エッチング工程でソース配線8、ドレイン電極9、ゲート端子側集合引出し配線10aおよび、反ゲート端子側の集合引出し配線10bと補助容量配線群3を接続するパターン10cをパターンニングする。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。ついでパッシベーション膜11を成膜し、第6の写真製版・エッチング工程で、ゲート端子、ソース端子の駆動IC接続部を露出させる。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。

【0032】以上の工程において従来技術のように、補助容量配線群が集合配線に接続されている場合、画素電極エッチング時、ゲート絶縁膜に局所的に欠損があるとそこから上記エッチング液が補助容量配線群を腐食し、補助容量配線群の断線を発生させる。請求項第2項に示したように補助容量配線群と集合配線を互いに分離して形成しておけば、ゲート絶縁膜に微小欠損があっても腐食を防止できる。また実施の形態2において補助容量配線群形成時にゲート反端子側に集合引出し配線を同時に形成するため、上記電気光学素子製造時に発生する静電気に対して、集合引出し配線10bが静電シールドの役目をするため、製造工程中の静電破壊による素子破壊を防止することができる。

【0033】とくに実施の形態3では、外部からゲート反端子側集合引出し配線に静電気が入った場合でも、突起パターン14間で放電することにより、静電気のエネルギーを消費できるため、反ゲート端子側集合引出し配線10bおよび補助容量配線群3にダメージが入ることを防止できる。

【0034】実施の形態4

実施の形態4の集合引出し配線、補助容量配線群および画素領域の平面図を図6に、図6中C-Cにおける断面図を図7に示す。ガラス基板上にスパッタなどの方法で第1の金属薄膜を成膜する。第1の金属薄膜としては、たとえばMoあるいはAlZr、AlNdなどのAl合金で100nmから500nm程度の膜厚の薄膜を用いることができる。たとえばAlNdの場合Ndの濃度は配線抵抗を低くしかつヒロック発生を防止するため1~3重量%程度が望ましい。また、第1の金属薄膜として、Cr/AlあるいはCr/AlSiCuなどの異種金属薄膜を積層した金属薄膜や膜厚方向に組成の異なる金属薄膜を用いることもできる。次に、第1の写真製版・エッチング工程で第1の金属薄膜をゲート電極および配線1、補助容量電極2および補助容量配線群3をパタ

ーニングする。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。次に、プラズマCVDにより第1の絶縁膜4、半導体能動膜、オーミックコンタクト膜を連続で成膜し、第2の写真製版・エッチング工程で半導体能動膜およびオーミックコンタクト膜を表示画素にパターンニングしTF T部の半導体パターン5を形成する。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。

【0035】次に、スパッタなどの方法で導電性薄膜を成膜し、第3の写真製版・エッチング工程で透明導電膜をパターンニングし、画素電極6を形成する。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。次に第4の写真製版・エッチング工程でゲート絶縁膜4をエッチングして、ゲート配線接続部、ソース配線端子接続部にコンタクトホールを形成する。このときの写真製版・エッチングプロセスは実施の形態1と同様である。次にCrを400nm成膜し、第5の写真製版・エッチング工程でソース配線8、ドレイン電極9をパターンニングする。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。ついでパッシベーション膜11を成膜し、第6の写真製版・エッチング工程で、ゲート端子側補助容量配線群12a、反ゲート端子側補助容量配線群12bにコンタクトホールを形成し、ゲート端子、ソース端子の駆動IC接続部を露出させる。このときの成膜・写真製版・エッチングプロセスは実施の形態1と同様である。その後前記TF Tアレイ基板および対向基板に転写したのち、TF T基板上に対向基板電位を供給するためのトランスファーマ材を打点しトランスファーマ材を形成すると同時に補助容量配線群上に形成したコンタクトホール12aおよび12bを覆うようにトランスファーマ材を洗浄に形成し、ゲート端子側集合引出し配線13aおよび反ゲート端子側集合引出し配線13bを形成する。トランスファーマ材は通常銀粒子をエポキシ系接着剤に混合したものである。その後対向基板にシール材を形成し、TF T基板と対向基板を重ね合わせ、シール材を熱硬化することにより両基板を接着する。これにより画素電極エッチング時の補助容量配線群腐食が防止できると同時に、TF Tアレイが完成した時点で補助容量配線群が互いに分離されているため、従来の電氣的欠陥検査では検出できなかった補助容量配線群が互いに分離されているため、従来の電氣的欠陥検査では検出できなかった補助容量配線群とゲート線のショートおよび補助容量配線群とソース線のショートの位置検出が可能となり、ひいては前記欠陥部をレーザーを用いて切断しショートを修復することも可能となる。

【0036】

【発明の効果】以上詳述に説明したように請求項1から12に記載した発明によれば、Alなど腐食されやすい材料を補助容量配線群に適用し、補助容量配線群上に成

膜された絶縁膜にカバレッジ不良などの膜欠陥が存在していても、画素電極エッチング時に配線を腐食断線することなく、TF Tアレイ基板を製造することが可能になる。Al配線などの表面には自然酸化膜が形成されているが、画素電極エッチング時にエッチング液と一定以上の電位差が発生すると自然酸化膜が溶解し、ひいては金属自体が腐食する。補助容量配線群を互いに分離して形成した場合には、配線金属の量が小さいため、配線の電位がエッチング液にひきずられ結果的にエッチング液と配線金属との電位差が小さく腐食に至らないと考えられる。一方補助容量配線群を集合引出し配線に接続した状態では、画素電極のエッチングした場合、配線全体の量が分離してある場合の数百倍～千倍程度になるため、エッチング液と配線金属の間に電位差が生じ、自然酸化および配線が腐食すると推定される。

【図面の簡単な説明】

【図1】本発明の実施の形態1の補助容量配線と集合引出し配線の接続部平面図である。

【図2】本発明の実施の形態1の図1におけるA-A線断面図である。

【図3】本発明の実施の形態2の補助容量配線と集合引出し配線の接続部平面図である。

【図4】本発明実施の形態2の図3におけるB-B線断面図である。

【図5】本発明実施の形態3の補助容量配線と集合引出し配線の接続部平面図である。

【図6】本発明実施の形態4の補助容量配線と集合引出し配線の接続部平面図である。

【図7】本発明実施の形態4の図6におけるC-C線断面図である。

【図8】従来技術での補助容量配線と集合引出し配線の接続部平面図である。

【図9】従来技術での図8におけるD-D線断面図である。

【図10】補助容量配線を備えたTF T基板の概念図である。

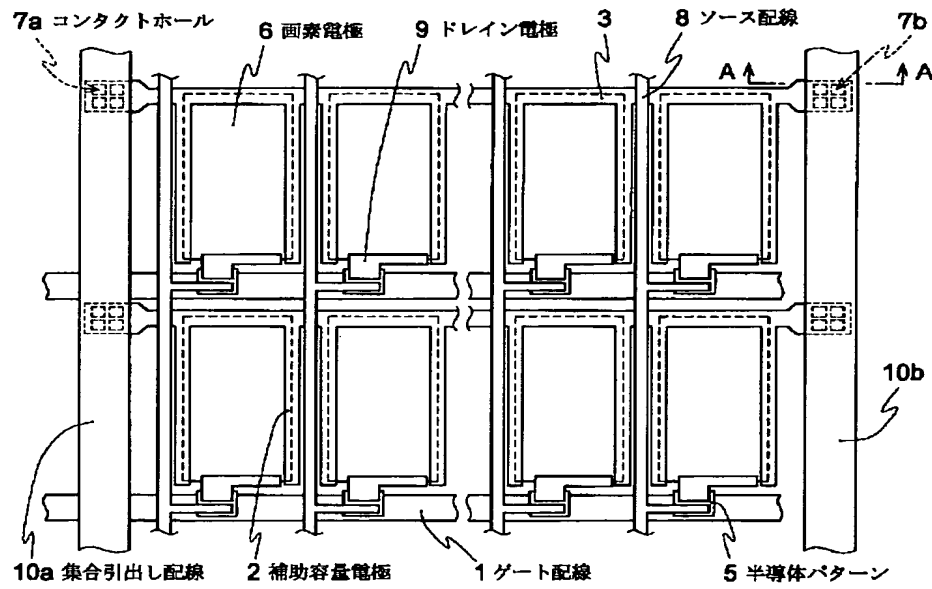
【符号の説明】

- | | |
|--------------------|----------|
| 1 | ゲート配線 |
| 2 | 補助容量電極 |
| 3 | 補助容量配線群 |
| 3a、10a、10b、13a、13b | 集合引出し配線 |
| 4 | ゲート絶縁膜 |
| 5 | 半導体パターン |
| 6 | 画素電極 |
| 7a、7b、7c、12a、12b | コンタクトホール |
| 8 | ソース配線 |
| 9 | ドレイン電極 |
| 11 | 保護絶縁膜 |
| 10c、14 | パターン |

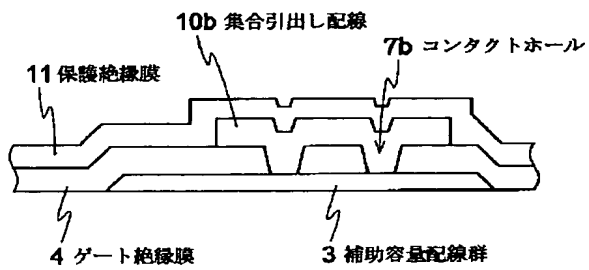
15 対向基板導電膜

* * 16 対向基板

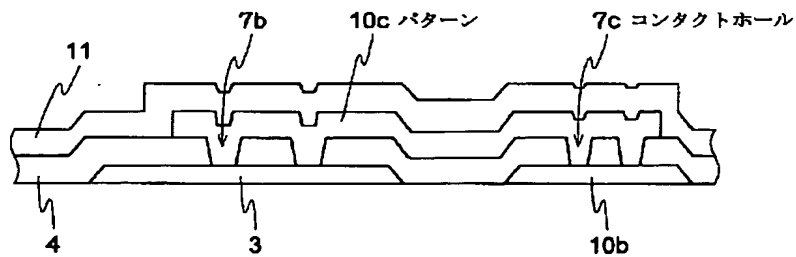
【図1】



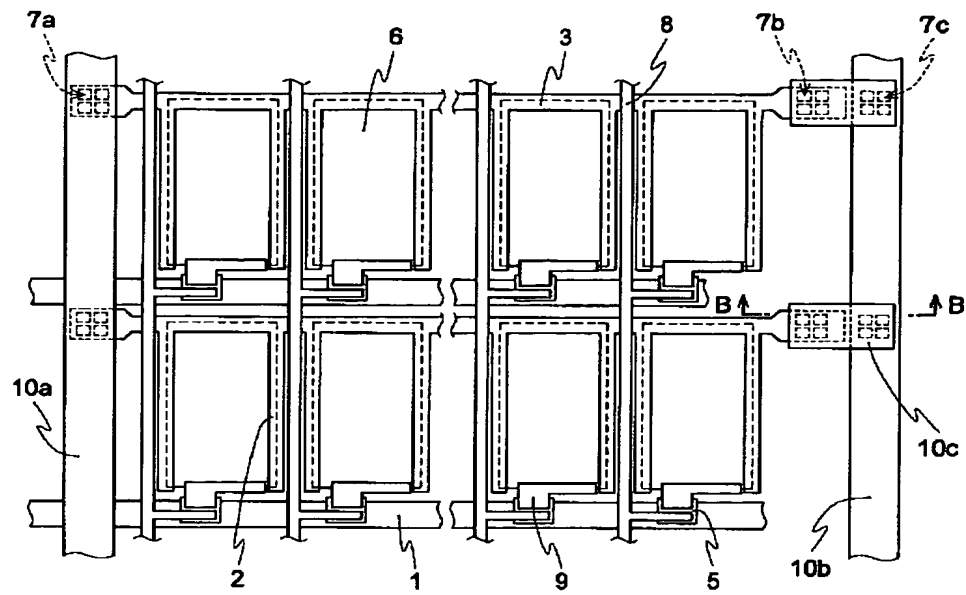
【図2】



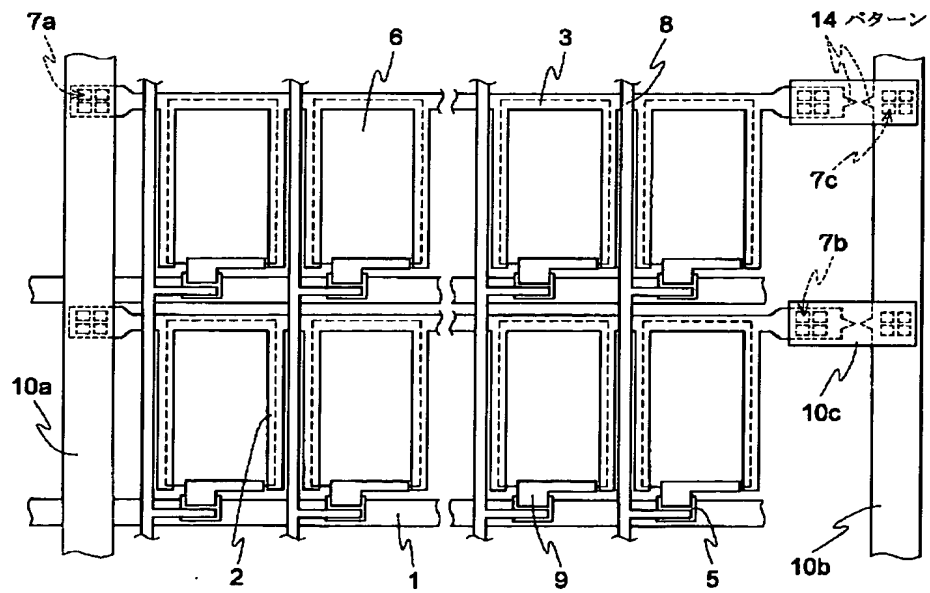
【図4】



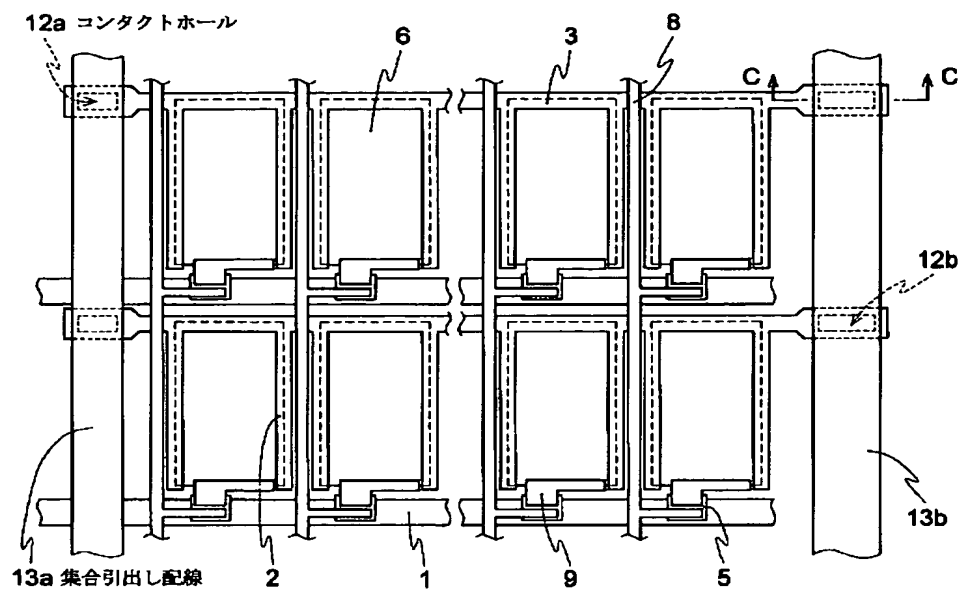
【図3】



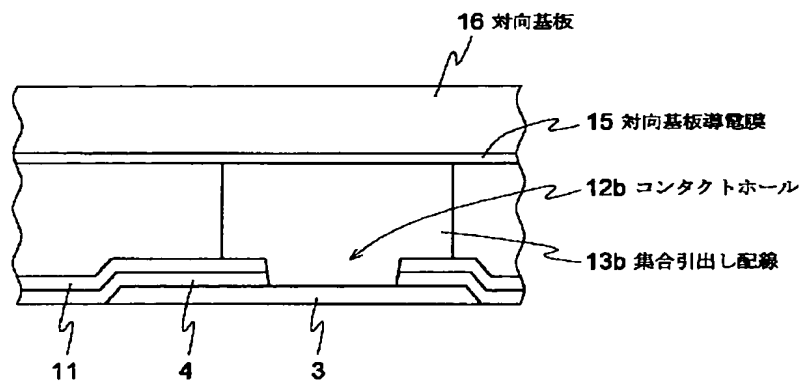
【図5】



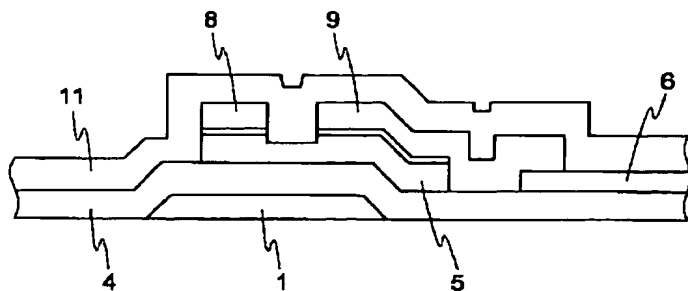
【図 6】



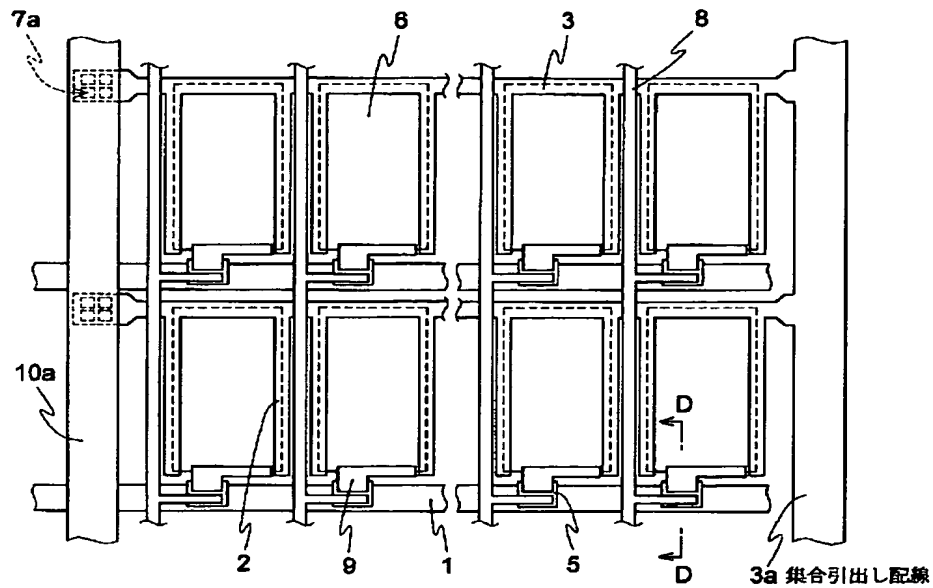
【図 7】



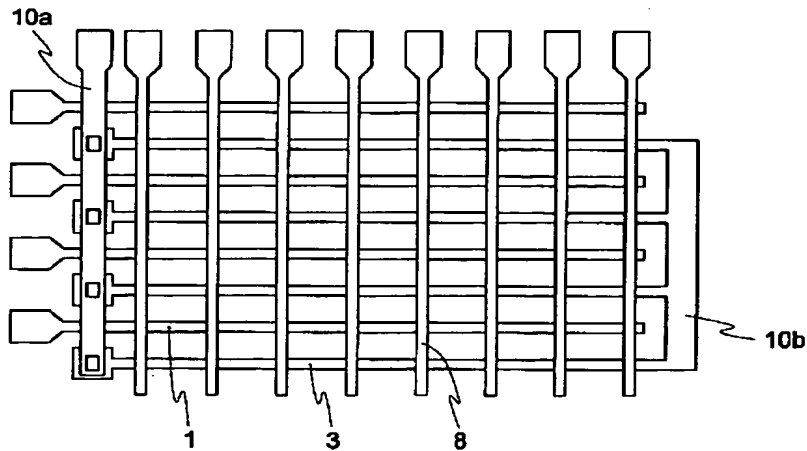
【図 9】



【図8】



【図10】



フロントページの続き

(72)発明者 伊藤 攻
 熊本県菊池郡西合志町御代志997番地 株
 式会社アドバンスト・ディスプレイ内

Fターム(参考) 2H092 JA26 JA29 JA33 JA35 JA36
 JA38 JA42 JA44 JB13 JB23
 JB32 JB33 JB38 JB51 JB57
 JB63 JB69 KA05 KA07 KA16
 KA18 KA24 KB14 KB23 KB24
 MA05 MA08 MA14 MA15 MA16
 MA18 MA19 MA22 MA27 MA31
 MA35 MA37 MA41 MA56 NA13
 NA25 NA27 PA06